

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 1 7 1 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 1 7 1 4]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 4 年 1 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0441601

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 柄沢 潤一

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 木島 健

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 名取 栄治

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体記憶装置のデータ読み出し方法及び強誘電体記憶装置

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタに読み出し電圧を印加する工程と、
前記読み出し電圧が印加された前記強誘電体キャパシタの容量値が動的に変化し、その動的変化の大きさを反映する電圧を検出する工程と、
を有することを特徴とする強誘電体記憶装置のデータ読み出し方法。

【請求項 2】 請求項 1 において、
前記強誘電体キャパシタには、前記強誘電体キャパシタへの印加電圧を第 1 極性の書き込み電圧から 0 V に戻した時の第 1 極性の自発分極に基づいて記憶される第 1 のデータと、前記強誘電体キャパシタへの印加電圧を第 2 極性の書き込み電圧から 0 V に戻した時の第 2 極性の自発分極に基づいて記憶される第 2 のデータとの、いずれか一方が記憶され、

前記読み出し電圧として前記第 1 極性の電圧を前記強誘電体キャパシタに印加した時、前記第 1 のデータを記憶していた前記強誘電体キャパシタの分極値の極性は反転せず、前記第 2 のデータを記憶していた前記強誘電体キャパシタの分極値の極性が反転することを特徴とする強誘電体記憶装置のデータ読み出し方法。

【請求項 3】 請求項 2 において、
前記読み出し電圧として前記第 1 極性の電圧を前記強誘電体キャパシタに印加した時、前記第 1 のデータを記憶していた前記強誘電体キャパシタの容量値の動的変化よりも、前記第 2 のデータを記憶していた前記強誘電体キャパシタの容量値の動的変化が大きいことを特徴とする強誘電体記憶装置のデータ読み出し方法。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、
前記強誘電体キャパシタに前記読み出し電圧が印加されたとき、前記強誘電体キャパシタの分極反転の有無に応じて前記強誘電体キャパシタに接続されたセンス線の電圧立ち上がり勾配が異なっている期間内で、前記電圧を検出することを特徴とする強誘電体記憶装置のデータ読み出し方法。

【請求項 5】 請求項 2 または 3 において、

前記強誘電体キャパシタの分極値－印加電圧のヒステリシス特性において、前記第 2 のデータを記憶していた前記強誘電体キャパシタに前記読み出し電圧を印加したときに、前記強誘電体キャパシタの分極値が 0 となる付近のタイミングで、前記電圧を検出することを特徴とする強誘電体記憶装置のデータ読み出し方法。

【請求項 6】 強誘電体キャパシタに読み出し電圧を印加する電圧印加手段と、

前記読み出し電圧が印加された前記強誘電体キャパシタの容量値が動的に変化し、その動的変化の大きさを反映する電圧を検出する電圧検出手段と、

を有することを特徴とする強誘電体記憶装置。

【請求項 7】 請求項 6 において、

前記電圧検出手段は、前記強誘電体キャパシタに前記読み出し電圧が印加されたとき、前記強誘電体キャパシタの分極反転の有無に応じて前記強誘電体キャパシタに接続されたセンス線の電圧立ち上がり勾配が異なっている期間内で、前記電圧を検出することを特徴とする強誘電体記憶装置。

【請求項 8】 強誘電体キャパシタとスイッチ素子とをそれぞれ有する複数のメモリセルと、

第 1 の方向に沿って配列された第 1 のメモリセル群の前記スイッチ素子の制御端子に共通接続され、前記第 1 の方向に沿って延びる複数のワード線と、

前記第 1 の方向と交差する第 2 の方向に沿って配列された第 2 のメモリセル群の前記スイッチ素子の一端に共通接続され、前記第 2 の方向に沿って延びる複数のビット線と、

前記第 2 のメモリセル群の前記強誘電体キャパシタの一端及び前記スイッチ素子の他端に共通接続され、前記第 2 の方向に沿って延びる複数のセンス線と、

前記第 1 のメモリセル群の前記強誘電体キャパシタの他端及び前記スイッチ素子の前記他端に共通接続され、前記第 1 の方向に沿って延びる複数のプレート線と、

前記複数のメモリセル中の少なくとも一つの選択メモリセルの強誘電体キャパ

シタに読み出し電圧が印加されたとき、選択された前記強誘電体キャパシタの分極反転の有無に応じて対応する前記センス線の電圧の立ち上がり勾配が異なっている期間内で、前記センス線の電圧を検出する電圧検出部と、
を有することを特徴とする強誘電体記憶装置。

【請求項 9】 請求項 8 において、

前記センス線の電圧を検出する時期を設定するタイミング信号を発生する読み出しタイミング発生装置をさらに有し、

前記電圧検出部は、前記複数のセンス線に接続された複数のセンスアンプを有し、

前記読み出しタイミング発生装置は、前記複数のセンスアンプに、前記タイミング信号を出力することで、前記複数のセンスアンプをアクティブにすることを特徴とする強誘電体記憶装置。

【請求項 10】 請求項 8 または 9 において、

データ読み出し、または、データ書き込みでは、前記選択メモリセルを選択する選択ワード線に選択ワード電圧を印加して、前記選択メモリセル内の前記スイッチ素子をオン状態にし、前記選択ワード線以外の非選択ワード線には非選択ワード電圧を印加して非選択メモリセル内の前記スイッチ素子をオフ状態にし、

前記選択メモリセルに接続された選択プレート線に読み出し用プレート電圧または書き込み用プレート電圧を印加し、前記選択プレート線以外の非選択プレート線をフローティング状態にすることを特徴とする強誘電体記憶装置。

【請求項 11】 請求項 8 乃至 10 のいずれかにおいて、

データ読み出しでは、前記選択メモリセルに接続された選択ビット線に読み出し用ビット電圧を印加し、前記選択ビット線以外の非選択ビット線に非選択ビット線電圧を印加することを特徴とする強誘電体記憶装置。

【請求項 12】 請求項 10 において、

“1” データを書き込むときは、前記選択メモリセルに接続された選択ビット線に“1” データ書き込み用ビット電圧を印加し、前記選択ビット線以外の非選択ビット線に非選択ビット電圧を印加し、前記選択プレート線に“1” データ書き込み用プレート電圧を印加することを特徴とする強誘電体記憶装置。

【請求項 13】 請求項 10 において、

“0” データを書き込むときは、前記選択メモリセルに接続された選択ビット線に“0” データ書き込み用ビット電圧を印加し、前記選択ビット線以外の非選択ビット線に非選択ビット電圧を印加し、選択プレート線に“0” データ書き込み用プレート電圧を印加することを特徴とする強誘電体記憶装置。

【請求項 14】 請求項 8 乃至 13 のいずれかにおいて、

前記タイミング信号によって一定時間アクティブにされた前記複数のセンスアンプの各々は、前記センス線からのセル電圧を基準電圧と比較することを特徴とする強誘電体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体記憶装置に関する。

【0002】

【背景技術】

強誘電体記憶装置として、複数のメモリセルの各々にトランジスタおよび強誘電体キャパシターずつ配置した 1T/1C セル、あるいは、その各メモリセル毎にさらにリファレンスセルを配置した 2T/2C セルを有するアクティブ型強誘電体記憶装置が知られている。また、より大容量化に適した不揮発性記憶装置として、各メモリセルを 1 個の強誘電体キャパシタとした強誘電体記憶装置（特許文献 1 参照）がある。

【0003】

【特許文献 1】

特開平 9-116107

【0004】

【発明が解決しようとする課題】

従来の強誘電体記憶装置では、データ読み出しは、強誘電体キャパシタに読み出し電圧を印加した時の電荷量の変化を検出していた。このデータ読み出しにおいては、読み出しマージンが比較的小さかったため、各メモリセル内の強誘電体

キャパシタの特性のばらつきによる影響を受けやすいという問題があった。

【0005】

本発明は、データの読み出しマージンを拡大することで、安定した動作を可能とする強誘電体記憶装置のデータ読み出し方法及び強誘電体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の一態様に係る強誘電体記憶装置のデータ読み出し方法（装置）は、強誘電体キャパシタに読み出し電圧を印加する工程（手段）と、前記読み出し電圧が印加された前記強誘電体キャパシタの容量値が動的に変化し、その動的変化の大きさを反映する電圧を検出する工程（手段）と、を有することを特徴とする。

【0007】

このように、本発明の一態様では、従来のように、読み出し電圧印加時の強誘電体キャパシタの電荷量の変化を検出するのではなく、その容量値の強誘電体キャパシタの容量値の動的変化を反映する電圧を検出している。

【0008】

ここで、強誘電体キャパシタには、強誘電体キャパシタへの印加電圧を第1極性の書き込み電圧から0Vに戻した時の第1極性の自発分極（例えば図1のB点）に基づいて記憶される第1のデータ（例えば“0”データ）と、強誘電体キャパシタへの印加電圧を第2極性の書き込み電圧から0Vに戻した時の第2極性の自発分極（例えば図1のD点）に基づいて記憶される第2のデータ（例えば“1”データ）との、いずれか一方が記憶されている。

【0009】

読み出し電圧として第1極性の電圧（例えば図1の $+V_s$ ）を強誘電体キャパシタに印加した時、第1のデータを記憶していた強誘電体キャパシタの分極値の極性は反転せず、第2のデータを記憶していた強誘電体キャパシタの分極値の極性が反転する（図1では負から正に反転）。よって、分極反転する方が、強誘電体キャパシタの容量値の動的変化が大きい。

【0010】

より具体的には、強誘電体キャパシタに読み出し電圧が印加されたとき、強誘電体キャパシタの分極反転の有無に応じて前記強誘電体キャパシタに接続されたセンス線の電圧立ち上がり勾配が異なっている期間内（例えば図2の時刻Tまたは図6の $t_3 - t_4$ 期間）で、前記電圧を検出することができる。

【0011】

この読み出しタイミングとしては、強誘電体キャパシタの分極値－印加電圧のヒステリシス特性（例えば図1）において、第2のデータ（例えば図1のD点）を記憶していた強誘電体キャパシタに読み出し電圧を印加したときに、強誘電体キャパシタの分極値が0となる付近のタイミングであることが好ましい。

【0012】

本発明の他の態様に係る強誘電体記憶装置は、強誘電体キャパシタとスイッチ素子とをそれぞれ有する複数のメモリセルと、第1の方向に沿って配列された第1のメモリセル群の前記スイッチ素子の制御端子に共通接続され、前記第1の方向に沿って延びる複数のワード線と、前記第1の方向と交差する第2の方向に沿って配列された第2のメモリセル群の前記スイッチ素子の一端に共通接続され、前記第2の方向に沿って延びる複数のビット線と、前記第2のメモリセル群の前記強誘電体キャパシタの一端及び前記スイッチ素子の他端に共通接続され、前記第2の方向に沿って延びる複数のセンス線と、前記第1のメモリセル群の前記強誘電体キャパシタの他端及び前記スイッチ素子の前記他端に共通接続され、前記第1の方向に沿って延びる複数のプレート線と、前記複数のメモリセル中の少なくとも一つの選択メモリセルの強誘電体キャパシタに読み出し電圧が印加されたとき、選択された前記強誘電体キャパシタの分極反転の有無に応じて対応する前記センス線の電圧の立ち上がり勾配が異なっている期間内で、前記センス線の電圧を検出する電圧検出部と、を有することを特徴とする。

【0013】

ここで、センス線の電圧を検出する時期を設定するタイミング信号を発生する読み出しタイミング発生装置をさらに有することができる。また、電圧検出部は、複数のセンス線に接続された複数のセンスアンプを有することができる。この場合、読み出しタイミング発生装置は、複数のセンスアンプに、タイミング信号

を出力することで、複数のセンスアンプをアクティブにすれば、上述したタイミングで電圧検出を行うことが出来る。

【0014】

本発明の他の態様では、データ読み出し、または、データ書き込みでは、選択メモリセルを選択する選択ワード線に選択ワード電圧を印加して、選択メモリセル内のスイッチ素子をオン状態にし、選択ワード線以外の非選択ワード線には非選択ワード電圧を印加して非選択メモリセル内の前記スイッチ素子をオフ状態にすることができる。また、選択メモリセルに接続された選択プレート線に読み出し用プレート電圧または書き込み用プレート電圧を印加し、選択プレート線以外の非選択プレート線をフローティング状態にすることができる。

【0015】

データ読み出しでは、選択メモリセルに接続された選択ビット線に読み出し用ビット電圧を印加し、選択ビット線以外の非選択ビット線に非選択ビット線電圧を印加することができる。

【0016】

“1” データを書き込むときは、選択メモリセルに接続された選択ビット線に“1” データ書き込み用ビット電圧を印加し、選択ビット線以外の非選択ビット線に非選択ビット電圧を印加し、選択プレート線に“1” データ書き込み用プレート電圧を印加すればよい。

【0017】

“0” データを書き込むときは、選択メモリセルに接続された選択ビット線に“0” データ書き込み用ビット電圧を印加し、選択ビット線以外の非選択ビット線に非選択ビット電圧を印加し、選択プレート線に“0” データ書き込み用プレート電圧を印加すればよい。

【0018】

また、タイミング信号によって一定時間アクティブにされた複数のセンスアンプの各々は、センス線からのセル電圧を基準電圧と比較することで、データ判定を行うことが出来る。

【0019】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照して説明する。

【0020】

＜一般動作＞

強誘電体記憶装置（以下、FeRAMとも言う。）は、強誘電体のヒステリシス現象を利用した不揮発性記憶装置である。ヒステリシス現象について、強誘電体に印加される電圧と強誘電体の分極値との相関図を図1に示した。図1の縦軸P（Q）は、強誘電体の分極値（電荷量）を示し、横軸Vは、強誘電体に印加される電圧を表す。図1に示されるようなヒステリシスカーブを特徴とする強誘電体は、強誘電体に印加される電圧が0Vであっても、分極状態を保存する性質（自発分極とも言う）を有する。この自発分極には、強誘電体に印加される電圧が正の時と負の時とで、2つの分極状態がある。これら2つの分極状態の一方を“0”、他方を“1”にそれぞれ対応させることで、強誘電体を記憶装置の記憶媒体として利用することができる。なお、“1”データ書き込み及び“0”データ書き込みを図1のように定義した。従って、本実施形態では、図1のB点が“0”データの記憶状態であり、図1のD点が“1”データの記憶状態となる。

【0021】

“0”データ書き込みのときは、強誘電体キャパシタに書き込み電圧（例えば電圧 V_s ）を印加する。すると、強誘電体キャパシタの分極値は図1のB点またはD点からA点へ移動する。書き込み後、強誘電体キャパシタに印加される電圧は0Vに設定され、強誘電体キャパシタの分極値は図1のB点へ移動する。

【0022】

“1”データ書き込みのときは、強誘電体キャパシタに書き込み電圧（例えば電圧 $-V_s$ ）を印加する。すると、強誘電体キャパシタの分極値は図1のB点またはD点からC点へ移動する。書き込み後、強誘電体キャパシタに印加される電圧は0Vに設定され、強誘電体キャパシタの分極値は図1のD点へ移動する。以上が、強誘電体記憶装置の基本原理である。

【0023】

＜本発明の原理＞

本発明はデータ読み出し動作に特徴がある。データ読み出しは、強誘電体キャパシタに読み出し電圧（例えば電圧 V_s ）を印加して行うことは従来通りである。このとき、強誘電体キャパシタの分極値は、図1のB点またはD点からA点に移動する。

【0024】

従来は、データ読み出し時に、図1のB点またはD点からA点に移動した時の電荷量の変化に基づいて、“0”データであるか“1”データであるかを判定していた。

【0025】

本発明では、読み出し電圧が印加された強誘電体キャパシタの容量値が動的に変化することに着目し、その動的変化の大きさを反映する電圧を検出することで、“0”データであるか“1”データであるかを判定することにした。

【0026】

ここで、強誘電体キャパシタには、強誘電体キャパシタへの印加電圧を第1極性の書き込み電圧（例えば $+V_s$ ）から $0V$ に戻した時の第1極性の自発分極に基づいて記憶される第1のデータ（図1のB点の“0”データ）と、強誘電体キャパシタへの印加電圧を第2極性の書き込み電圧（例えば $-V_s$ ）から $0V$ に戻した時の第2極性の自発分極に基づいて記憶される第2のデータ（図1のD点の“1”データ）との、いずれか一方が記憶されている。

【0027】

ところで、読み出し電圧として第1極性の電圧（図1の $+V_s$ ）を強誘電体キャパシタに印加した時、第1のデータ（図1のB点の“0”データ）を記憶していた強誘電体キャパシタの分極値は図1の点Bから点Aに移動する。よって、この場合、強誘電体キャパシタの分極値の極性は、正極性のままであり、反転しない（以下、分極非反転という）。

【0028】

一方、読み出し電圧として第1極性の電圧（図1の $+V_s$ ）を強誘電体キャパシタに印加した時、第2のデータ（図1のD点の“1”データ）を記憶していた強誘電体キャパシタの分極値は、図1の点Dから点Aに移動する。よって、この

場合には、強誘電体キャパシタの分極値の極性は、負極性（点D）から正極性（点A）に反転する（以下、分極反転という）。

【0029】

ここで図2に示す等価回路を参照して、強誘電体キャパシタCに印加される電圧 $V(t)$ について考察する。図2に示すように、出力電圧を V_{out} 、出力抵抗を R_{out} 、電流を $i(t)$ とすれば、

$$V_{out} = R_{out} \times i(t) + V(t) \cdots (1)$$

となる。強誘電体キャパシタCの動的な容量を $C(V(t))$ 、強誘電体キャパシタに蓄えられる電荷量を $Q(t)$ とすれば、 $i(t)$ は以下の式(2)で表される。

【0030】

【数1】

$$\begin{aligned} i(t) &= \frac{dQ(t)}{dt} = \frac{dQ(t)}{dV} \cdot \frac{dV(t)}{dt} \\ &= C(V(t)) \cdot \frac{dV(t)}{dt} \end{aligned} \cdots (2)$$

(1) および(2)式により、

【0031】

【数2】

$$V_{out} = R_{out} \cdot C(V) \cdot \frac{dV(t)}{dt} + V(t) \cdots (3)$$

が得られるが、この(3)式を変形すると最終的に以下の(4)式に示す微分方程式になる。

【0032】

【数3】

$$\frac{dV(t)}{dt} = \frac{V_{out} - V(t)}{R_{out} \cdot C(V(t))} \cdots (4)$$

したがって強誘電体キャパシタCに印加される電圧Vに対する強誘電体キャパシタCの動的な容量 $C(V)$ を仮定することにより、強誘電体キャパシタCに印加される電圧 $V(t)$ を数値解析的に解くことが可能であり、 $V(t)$ の時間変

化を的確に計算すること出来る。

【0033】

以下の計算例では、簡単のため強誘電体キャパシタのC（V）として以下の簡易モデルを仮定した。また簡単のため0V以上の電圧領域について考察している。

【0034】

【数4】

分極非反転時

$$C(V) = \epsilon_0 \cdot \epsilon_{\text{sw}} \cdot \frac{S}{d} \quad (0 \leq V) \quad \dots (5)$$

分極反転時

$$\begin{aligned} C(V) &= \epsilon_0 \cdot \epsilon_{\text{sw}} \cdot \frac{S}{d} & (0 \leq V \leq V_c - \Delta) \\ &= \epsilon_0 \cdot \epsilon_{\text{sw}} \cdot \frac{S}{d} + \epsilon_0 \cdot \epsilon_w \cdot (V - (V_c - \Delta)) \cdot \frac{S}{d} & (V_c - \Delta \leq V \leq V_c) \\ &= \epsilon_0 \cdot \epsilon_{\text{sw}} \cdot \frac{S}{d} + \epsilon_0 \cdot \epsilon_w \cdot ((V_c + \Delta) - V) \cdot \frac{S}{d} & (V_c \leq V \leq V_c + \Delta) \\ &= \epsilon_0 \cdot \epsilon_{\text{sw}} \cdot \frac{S}{d} & (V_c + \Delta \leq V) \end{aligned} \quad \dots (6)$$

ここで、Sは強誘電体キャパシタCの面積、dは強誘電体キャパシタの膜厚さ、 ϵ_0 は真空の誘電率、 ϵ_{nsw} は強誘電体キャパシタCの分極非反転時における動的な比誘電率、 ϵ_{sw} は強誘電体キャパシタCの分極反転時における動的な比誘電率の最大値、 V_c は強誘電体キャパシタCの抗電圧、 Δ は分極反転のばらつきを表す指標である。また以下の計算では、 $\epsilon_{\text{nsw}} = 500$ 、 $P_{\text{sw}} = 2 P_r = \epsilon_0 \times \epsilon_{\text{sw}} \times \Delta / d = 50 \mu\text{C} / \text{cm}^2$ 、 $V_c = 1.5 \text{ V}$ を仮定している。ここで、 $2 P_r$ 値に関係する $\epsilon_{\text{sw}} \times \Delta$ は一定値であるが、 ϵ_{sw} が大きく Δ が小さい程ヒステリシスカーブの角型性は優れ、 ϵ_{sw} が小さく Δ が大きい程ヒステリシスカーブの角型性は劣ることに注意しなければならない。

【0035】

図3は、上記数式を用いて計算された、分極反転時及び分極非反転時における強誘電体キャパシタCへの印加電圧V（t）の波形を示している。なお、図3においては、図1に示す読み出し電圧 $V_s = 3 \text{ V}$ とした。

【0036】

図3に示すように、強誘電体キャパシタCへの印加電圧 $V(t)$ は、分極非反転時では速やかに $V_s = 3V$ に上昇されるのに対して、分極非反転時では抗電圧 $V_c (= 1.5V)$ あたりで印加電圧 $V(t)$ の上昇は停滞している。このように、強誘電体キャパシタCへの印加電圧 $V(t)$ は、分極反転時と分極非反転時とで、その電圧立ち上がり勾配が大きく異なっている。

【0037】

これは、強誘電体キャパシタCの動的容量が、分極非反転時では小さいのに対して、分極反転時では抗電圧を境にして正負が反転するため著しく大きくなるからである。

【0038】

強誘電体キャパシタCへの印加電圧 $V(t)$ の立ち上がり勾配が異なる期間、例えば図3時刻Tに着目すると、強誘電体キャパシタCへの印加電圧 $V(t)$ は、分極非反転時にはほぼ読み出し電圧 $V_s (= 3V)$ に達しているのに対して、分極非反転時には抗電圧 $V_c (= 1.5V)$ 程度である。

【0039】

よって、図3の例えば時刻Tの付近で強誘電体キャパシタCの印加電圧 $V(t)$ を検出すれば、それが分極非反転（つまり図1のB点の“0”データ）か、あるいは分極反転（つまり図1のD点の“1”データ）であるかを判定することが出来る。しかも、この検出電圧差 ΔV は、読み出し電圧 V_s と抗電圧 V_c との差だけ確保できるので、読み出しマージンを大きく確保できる。

【0040】

<強誘電体キャパシタのヒステリシスの角型性との関係>

図1に示す強誘電体キャパシタのヒステリシス特性は、角型に近いほど、上述の読み出しマージン確保できる読み出し時間を長く確保できる。ここで、図1に示す上下2辺の水平度が高く、左右2辺の垂直度が高いものほど、角型性が良好であると定義する。

【0041】

図4は、分極反転時の強誘電体キャパシタCの印加電圧 $V(t)$ 特性と角型性

との関係を示す特性図である。図4から、角型性が良好であるほど、読み出しマージンを大きく確保できる検出時間幅が長いことが分かる。

【0042】

<第1実施形態>

以下、上述の基本原理にて動作する強誘電体記憶装置の実施形態について説明する。なお、以下の実施形態はいわゆる1T1C型の強誘電体記憶装置に関するものであるが、本発明は他のタイプ、例えば2T2C型あるいはクロスポイント型にも適用できることは言うまでもない。

【0043】

(構成説明)

図5は、第1実施形態における記憶装置の概略説明図である。メモリセルアレイ400には、複数のワード線50及び複数のプレート線80が互いに平行に配設されている。さらに、メモリセルアレイ400には、複数のワード線50及び複数のプレート線80と交差するように、複数のビット線60及び複数のセンス線70が互いに平行に配設されている。また、メモリセルアレイ400には、複数のメモリセル410がマトリックス状に配設されている。複数のメモリセル410の各々は、複数のワード線50、ビット線60、センス線70、及びプレート線80の各1本とそれぞれ接続される。行方向Xに沿って配列された複数のメモリセル410には、1本のワード線50及び1本のプレート線80が共通接続される。列方向Yに沿って配列された複数のメモリセル410には、1本のビット線60及び1本のセンス線70が共通接続される。

【0044】

複数のワード線50は、ワード線駆動部10に接続されている。複数のビット線60は、ビット線駆動部20に接続されている。複数のセンス線70は、センス線駆動部30に接続されている。複数のプレート線80は、プレート線駆動部40に接続されている。また、センス線駆動部30は、読み出しタイミング発生装置100と接続され、読み出しタイミング発生装置100からの信号を受け取ることにより、後述するセンスアンプ0をアクティブにする。

【0045】

各メモリセル 410 は、1つの強誘電体キャパシタ 411 と 1つのアクセストランジスタ 412 とで構成されている。各アクセストランジスタ 412 のゲート G は、対応するワード線 50 と接続され、各アクセストランジスタ 412 のソース S は、対応するビット線 60 と接続される。また、各アクセストランジスタ 412 のドレイン D は、対応するセンス線 70 及び強誘電体キャパシタ 411 の一端と接続される。強誘電体キャパシタ 411 の他端は、対応するプレート線 80 と接続される。

【0046】

(読み出し動作説明)

図 6 は、図 5 中の複数のメモリセル 410 の中の少なくとも一つの選択メモリセル 410 からデータを読み出すときの各種電圧波形を示している。図 5 中の例えば左上隅のメモリセル 410 からデータを読み出す場合には、図 5 の上から第 1 行目のワード線 50 及びプレート線 80 が選択ワード線及び選択プレート線となり、それ以外は非選択ワード線及び非選択プレート線となる。また、図 5 の左から第 1 列目に位置するビット線 60 が選択ビット線となる。

【0047】

ここで、第 1 行目の選択ワード線 50 に図 5 に示す選択ワード電圧を印加すると、第 1 行目に位置するメモリセル 410 中の全スイッチ素子 412 がオンする。このとき、第 1 行目以外の非選択ワード線には図 5 に示す非選択ワード電圧が印加されるので、第 1 行目以外に位置する全ての非選択メモリセル中のスイッチ素子 412 はオフしている。

【0048】

第 1 列目の選択ビット線に図 5 に示す選択ビット電圧（例えば 0 V）を、第 1 行目の選択プレート線に選択プレート電圧（例えば V_s ）を印加する。そうすると、スイッチ素子 412 を介して、選択メモリセル中の強誘電体キャパシタ 411 には、図 2 に示す電圧 $V(t)$ が印加される。

【0049】

選択メモリセル中の強誘電体キャパシタへの印加電圧 $V(t)$ は、図 3 の通り分極反転と分極非反転とで電圧立ち上がり特性が異なる。よって、選択メモリセ

ルに接続されたセンス線 70 には、図 6 に示す通り、図 3 と同じ電圧が生ずる。

【0050】

複数のセンス線 70 は、図 5 の通りセンス線駆動部 30 に接続されている。センス線駆動部 30 は、同時に書き込み／読み出し可能な N 個のセンスアンプを有している。例えば $N=8$ ， $N=16$ ， $N=32$ などである。選択メモリセルに接続されているセンス線 70 が切り換えられて N 個のセンスアンプに接続される点は、従来と同じである。

【0051】

本実施形態では、センス線 70 の電圧を検出する時期を設定するタイミング信号を発生する読み出しタイミング発生装置 100 がさらに設けられている。この読み出しタイミング発生装置 100 は、N 個のセンスアンプに図 6 に示す読み出しタイミングパルスを出力する。このパルスがハイである図 6 中の時刻 $t_3 - t_4$ の読み出し期間に、N 個のセンスアンプがアクティブとされる。

【0052】

各センスアンプは、例えば図 3 中の時刻 T における分極非反転時の電圧が基準電圧として入力される。よって、選択メモリセルからのセル電圧を参照電圧と比較することで、セル電圧が分極非反転の電圧（つまり図 1 の B 点の“0”データ）か、あるいは分極反転時の電圧（つまり図 1 の D 点の“1”データ）であるかを判定することが出来る。

【0053】

なお、図 4 の第 1 行目には、選択メモリセル以外の非選択メモリセルが含まれている。そこで、第 1 列目以外の非選択ビット線を図 6 の通り非選択ビット電圧（例えば 0 V）に設定している。この結果、第 1 行目の非選択メモリセル中の強誘電体キャパシタ 411 には 0 V を印加することが出来る。

【0054】

また、第 2 行目以下の非選択メモリセルは、スイッチ素子 412 が全てオフされているが、本実施形態では加えて、プレート線駆動部 40 により非選択プレート線をフローティングにしている。

【0055】

(書き込み動作)

図7は“0”データの書き込み動作を、図8は“1”データの書き込み動作を示している。

【0056】

データ書き込みでも、上述のデータ読み出しと同様に、第1行目の選択ワード線に選択ワード電圧を印加して、第1行目のメモリセル410内のスイッチ素子412をオン状態にする。第2行目以降の非選択ワード線には非選択ワード電圧を印加して、第2行目以降の非選択メモリセル内のスイッチ素子412をオフ状態にする。また、非選択ビット線は非選択ビット電圧に、非選択プレート線はフローティングとされる。

【0057】

“0”データの書き込み動作は、上述のデータ読み出し動作と実質的に同じであり、センス線駆動部30から“0”データを供給する点のみが異なる。よって、図7の通り、選択ビット線には“0”データの書き込み用ビット電圧（例えば0V）が、選択プレート線には“0”データの書き込み用プレート電圧（例えばVs）が印加される。この結果、選択メモリセル中の強誘電体キャパシタには+Vsが印加され、図1に示す通り“0”データが書き込まれる。

【0058】

“1”データの書き込み動作は、“0”データの書き込み動作において、選択ビット線と選択プレート線との電圧を入れ替えればよい。すなわち、図8の通り、選択ビット線には“1”データの書き込み用ビット電圧（例えばVs）が、選択プレート線には“1”データの書き込み用プレート電圧（例えば0V）が印加される。この結果、選択メモリセル中の強誘電体キャパシタには-Vsが印加され、図1に示す通り“1”データが書き込まれる。

【0059】

なお、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図1】 強誘電体のヒステリシス特性を示す図である。

【図 2】 強誘電体キャパシタに電圧を印加する回路の等価回路図である。

【図 3】 図 2 に示す強誘電体キャパシタに印加される分極反転時及び分極非反転時の電圧立ち上がり特性を示す図である。

【図 4】 強誘電体キャパシタに印加される分極反転時の電圧立ち上がり特性と、ヒステリシス特性の角型性との相関を示す図である。

【図 5】 本発明の実施形態に係る強誘電体記憶装置のブロック図である。

【図 6】 図 5 に示す記憶装置でのデータ読み出し動作を説明するためのタイミングチャートである。

【図 7】 図 5 に示す記憶装置での“0”データ書き込み動作を説明するためのタイミングチャートである。

【図 8】 図 5 に示す記憶装置での“1”データ書き込み動作を説明するためのタイミングチャートである。

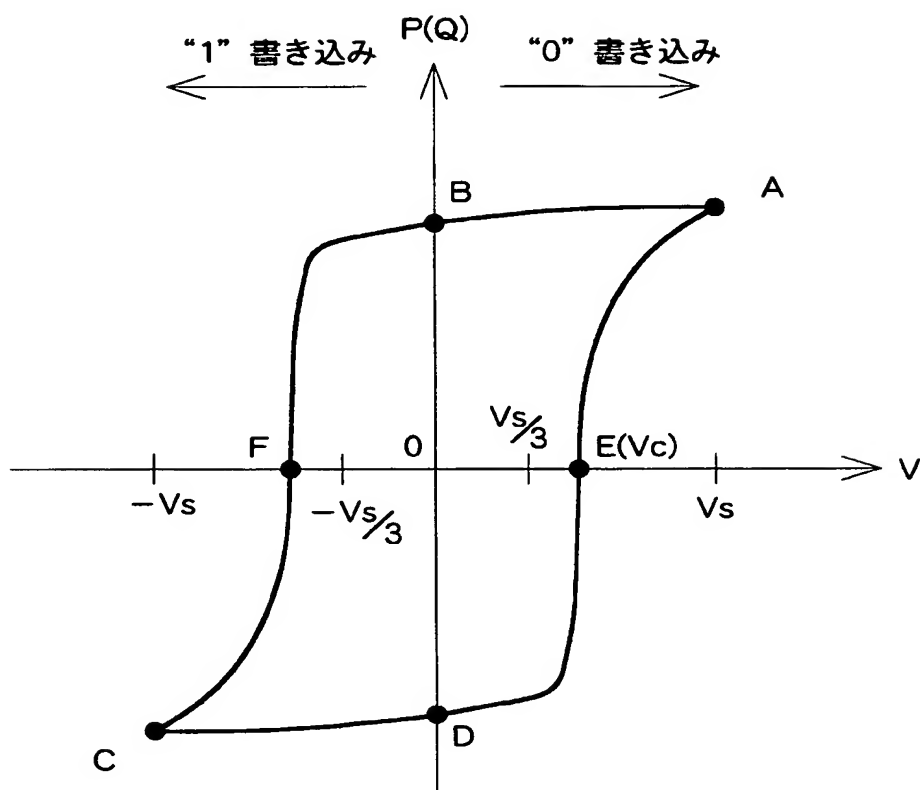
【符号の説明】

10 ワード線駆動部、20 ビット線駆動部、30 センス線駆動部、40 プレート線駆動部、50 ワード線、60 ビット線、70 センス線、80 プレート線、100 読み出しタイミング発生装置、400 メモリセルアレイ、410 メモリセル、411 スイッチ素子、412 強誘電体キャパシタ

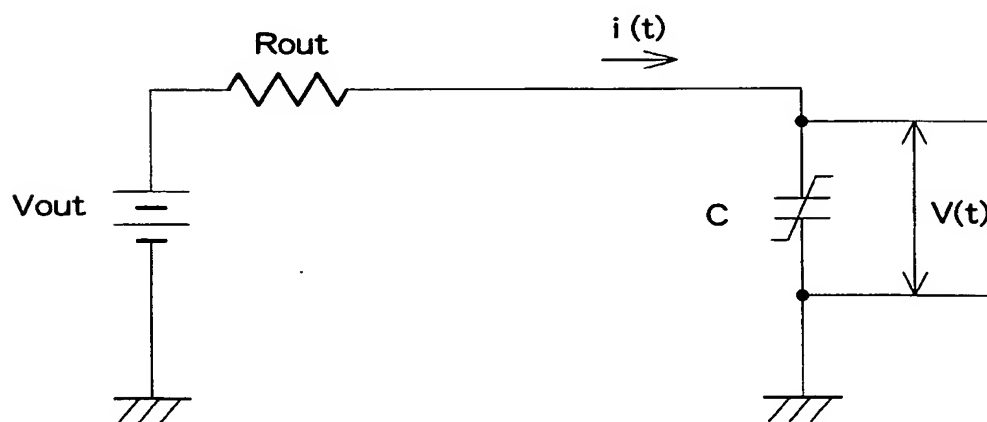
【書類名】

図面

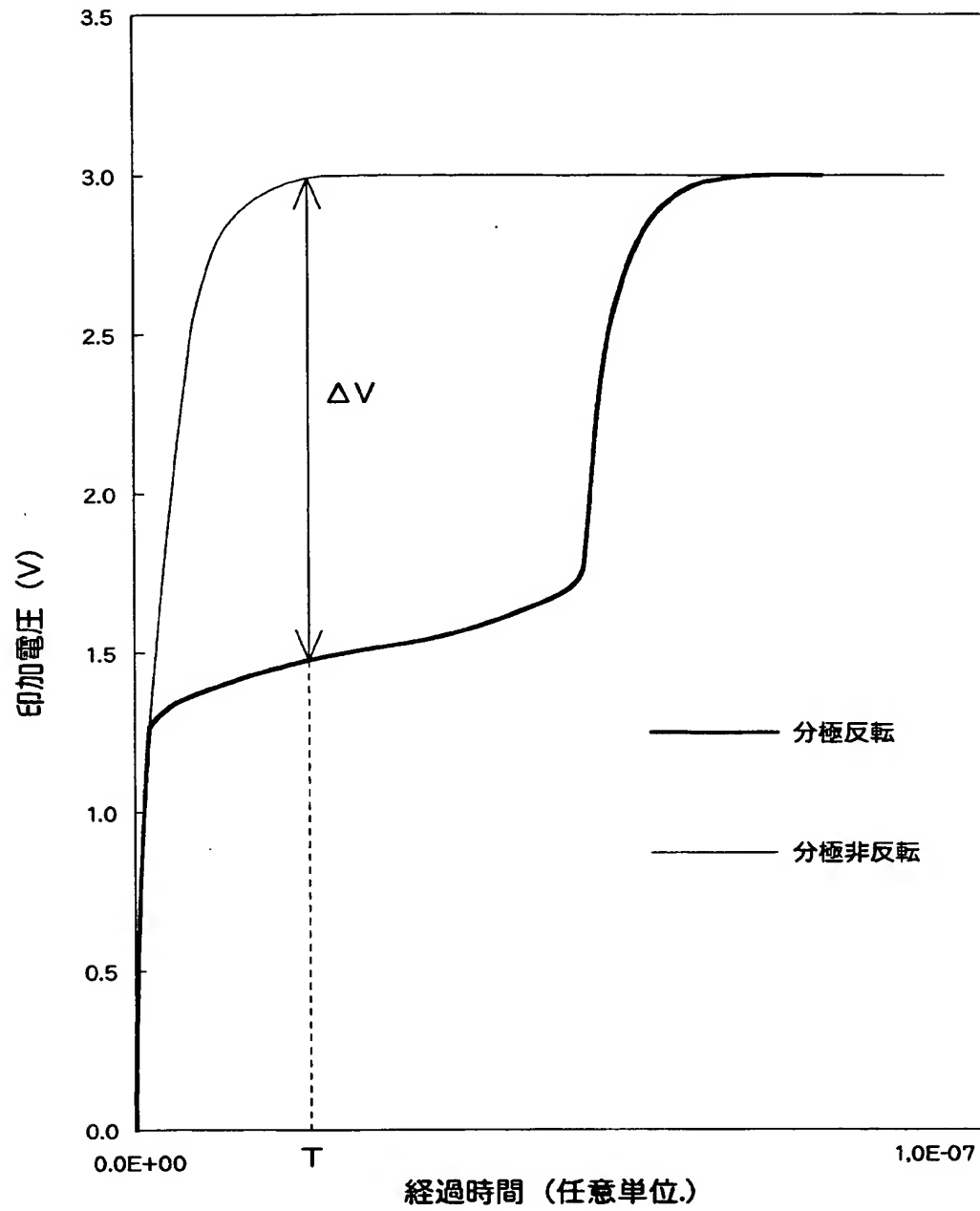
【図 1】



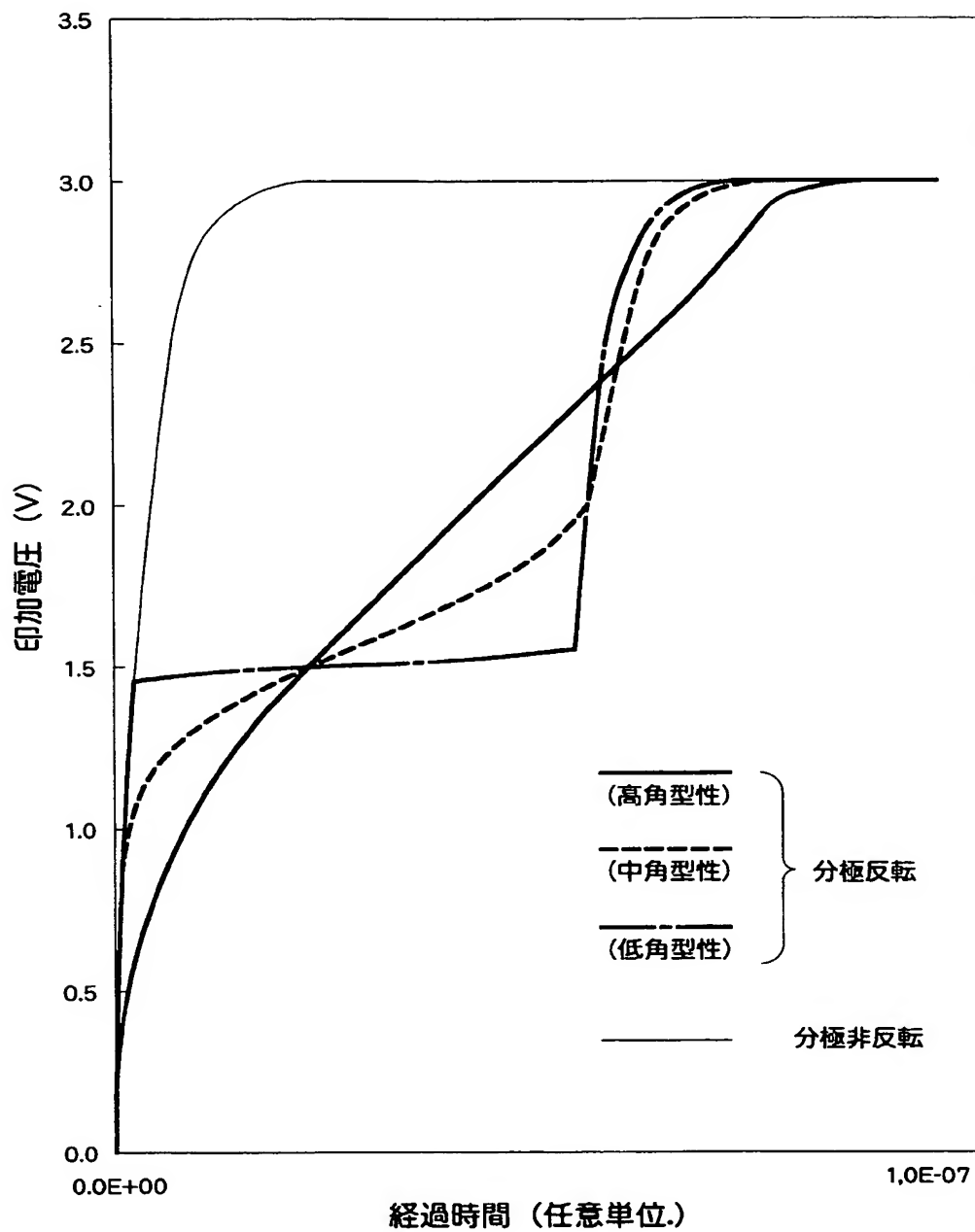
【図 2】



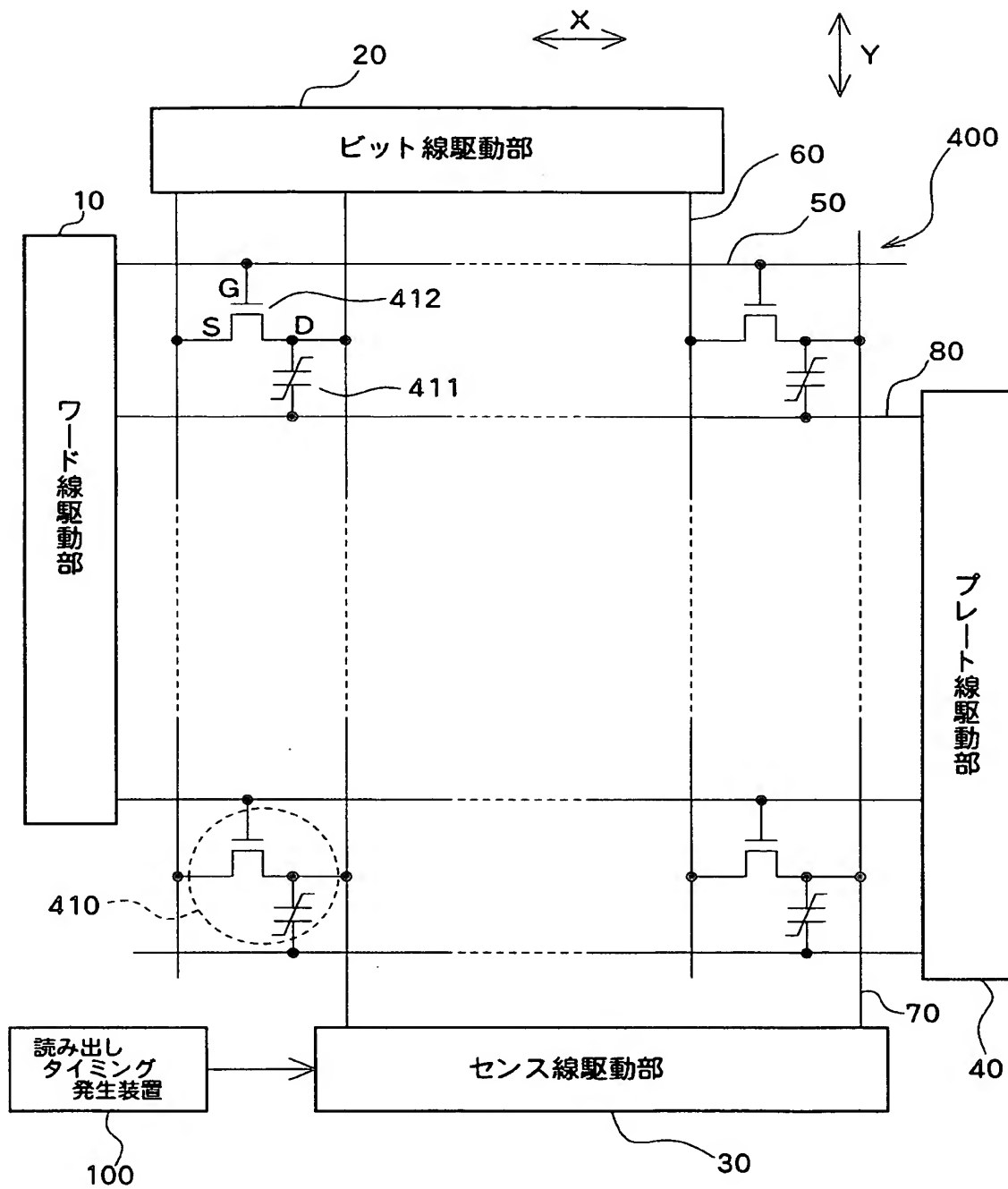
【図 3】



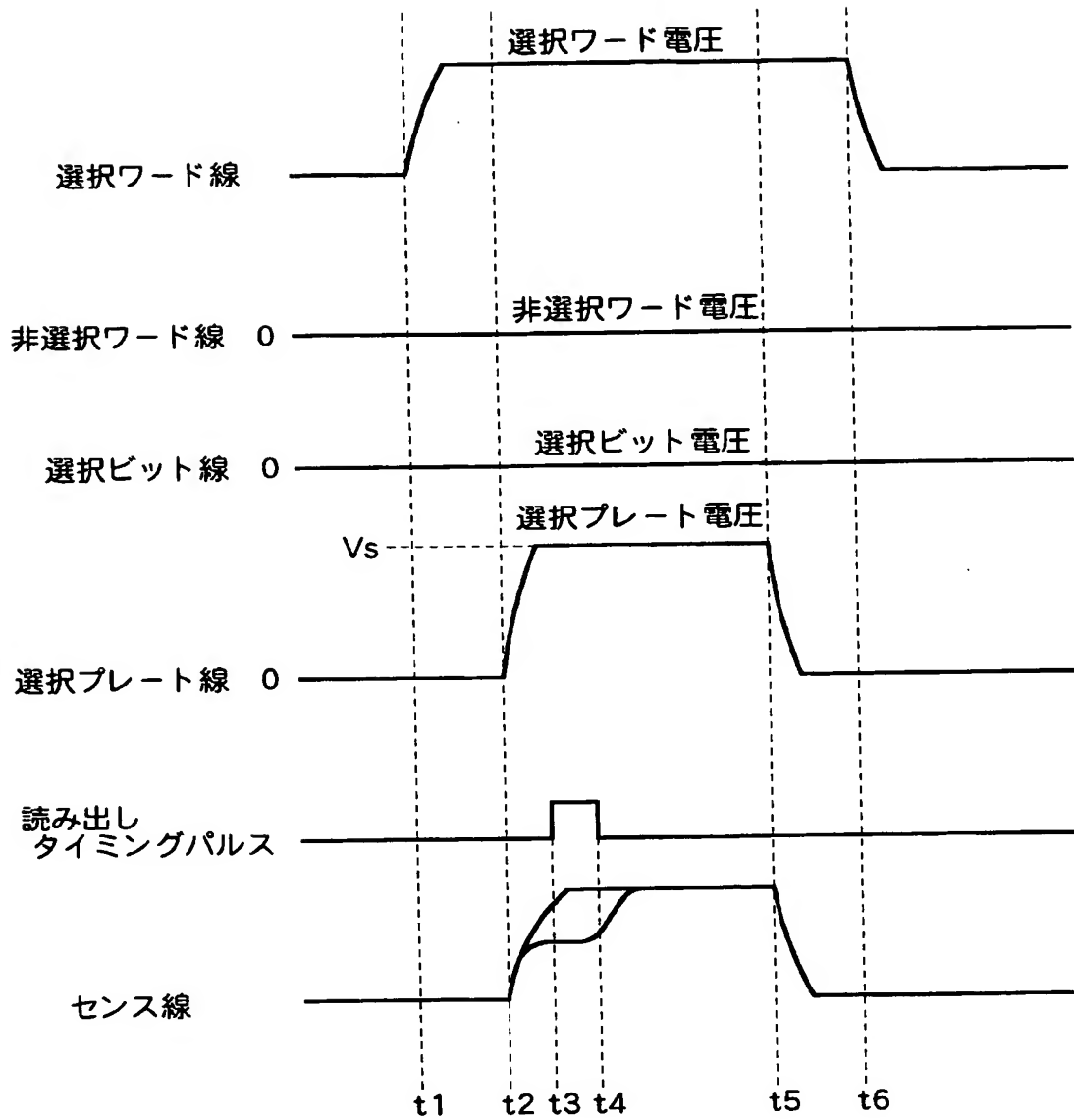
【図 4】



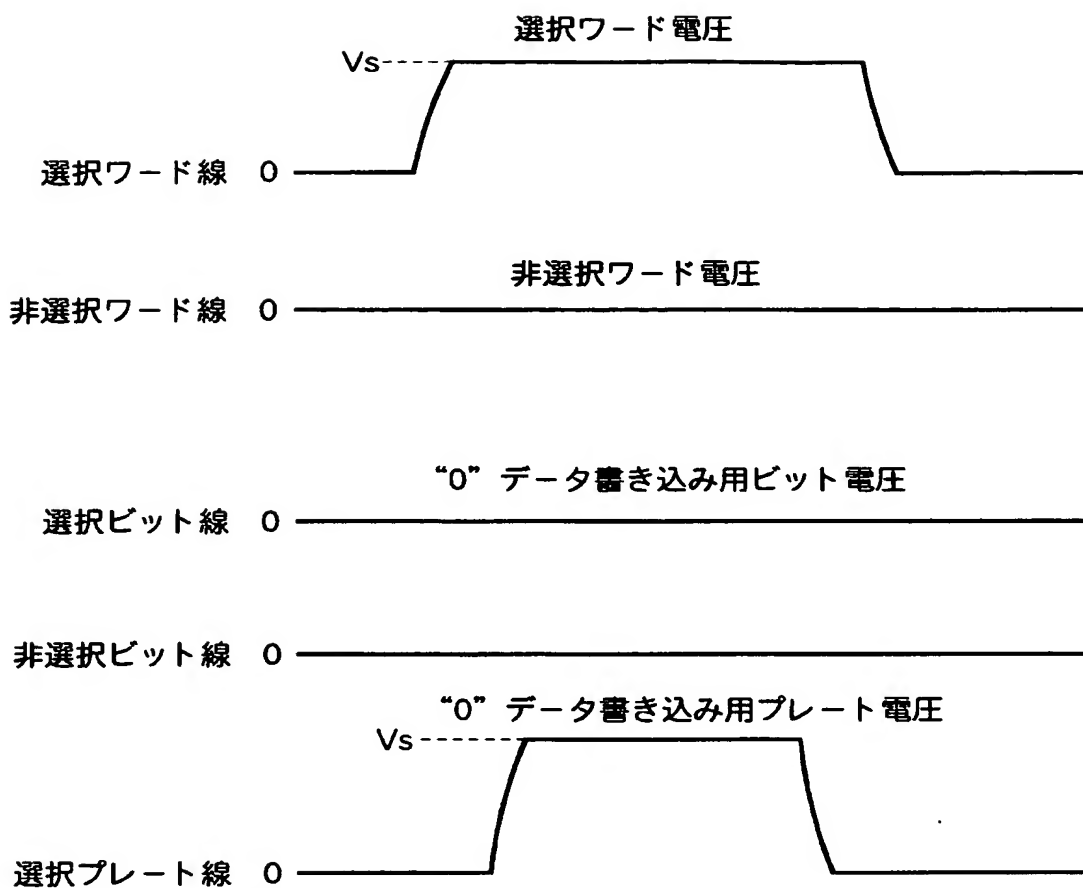
【図 5】



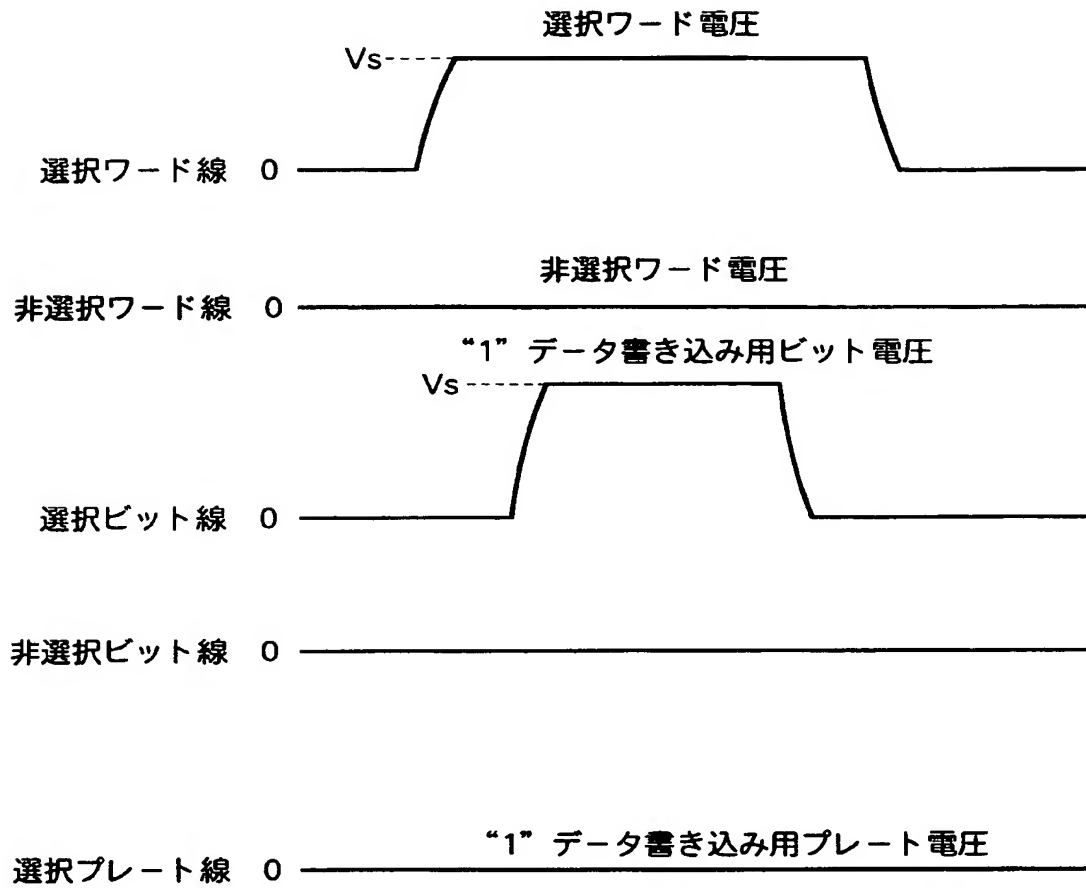
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 読み出しマージンが大きい強誘電体記憶装置のデータ読み出し方法を提供すること。

【解決手段】 本発明のデータ読み出し方法は、強誘電体キャパシタに読み出し電圧を印加する工程と、読み出し電圧が印加された強誘電体キャパシタの容量値が動的に変化し、その動的変化の大きさを反映する電圧を検出する工程とを有する。時刻Tでは、第1のデータを記憶したメモリセルの分極非反転時と、第2のデータを記憶したメモリセルの分極反転時とでは、電圧差 ΔV が生ずるので、読み出しマージンが大きくなる。

を有する

【選択図】 図3

特願 2 0 0 3 - 0 9 1 7 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社